DIALOG(R)File 352:Derwent WPI (c) 2004 Thomson Derwent. All rts. reserv.

004058797

WPI Acc No: 1984-204338/198433

Insulated-gate field-effect transistor - has structure to prevent characteristic degradation due to hot carrier NoAbstract Dwg 3/3

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No Kind Date Applicat No Kind Date Week

JP 59117164 A 19840706 JP 82226169 A 19821224 198433 B

Priority Applications (No Type Date): JP 82226169 A 19821224

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 59117164 A 7

Title Terms: INSULATE; GATE; FIELD; EFFECT; TRANSISTOR; STRUCTURE;

PREVENT;

CHARACTERISTIC; DEGRADE; HOT; CARRY; NOABSTRACT

Index Terms/Additional Words: IGFET

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO (c) 2004 JPO & JAPIO. All rts. reserv.

Image available 01405564 SEMICONDUCTOR DEVICE

59-117164 [JP 59117164 A] PUB. NO.:

July 06, 1984 (19840706) PUBLISHED: INVENTOR(s): KOMORI KAZUHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 57-226169 [JP 82226169]

December 24, 1982 (19821224) FILED:

[3] H01L-029/78; H01L-029/60 INTL CLASS:

JAPIO CLASS: 42.2 (ELECTRONICS - Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC

MATERIALS -- Metal Oxide Semiconductors, MOS); R100

(ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:

Section: E, Section No. 275, Vol. 08, No. 235, Pg. 116,

October 27, 1984 (19841027)

ABSTRACT

PURPOSE: To reduce field strength, to prevent the generation of hot carriers and to obviate the deterioration of characteristics by forming both side edges of the gate of a MISFET in tapered sections while forming the impurity concentration of the junction section of a drain region under an inclined junction state.

CONSTITUTION: A gate insulating film 12 is formed into an element forming region surrounded by a field insulating film 11 formed to the surface of a substrate 10, and the gate 13 is formed on the film 12. Both side edges 13a, 13b are formed in tapered section structure in the gate 13. A source region 14 and the drain region 15 in which the impurity concentration of the junction sections 14a, 15a is brought to an inclined state are formed on both sides of the gate 13, and connected electrically according to a predetermined method. Consequently, drain field-strength can be reduced, the generation of hot carriers is inhibited, and the deterioration of characteristics of threshold voltage can be prevented.

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

①特許出願公開

⑫ 公開特許公報 (A)

昭59—117164

⑤Int. Cl.³
H 01 L 29/78
// H 01 L 29/60

識別記号

庁内整理番号 7377-5F 7638-5F 砂公開 昭和59年(1984) 7月6日

発明の数 1 審査請求 未請求

(全 4 頁)

9半導体装置

②特 顧 昭57-226169

②出 願 昭57(1982)12月24日

@発 明 者 小森和宏

小平市上水本町1450番地株式会

社日立製作所武蔵工場内

卯出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

砂代 理 人 弁理士 薄田利幸

劈 机 ‡

発明の名称 半導体装置

特許静水の範囲

1. 船線ゲート開発効果トランジスタのゲート両 個線をテーパ状断面構造にすると共に、少なくと もドレイン領域の接合部の不純物濃度を傾倒接合 状態に形成したことを特徴とする半導体装置。

2. ゲート両側数は外側に向かって徐々にゲート 厚さを低減してなる特許請求の範囲第1項配敷の 半導体装置。

3. ソース領域・ドレイン領域は前能ゲートを用いたセルフアラインにより形成したことを特徴とする特許請求の範囲第1項又は約2項記載の半導体装置。

発明の詳細な説明

本発明は絶核グート電界効果トランジスタにおけるホットキャリアによる特性劣化の防止を図った半導体熱機に関するものである。

一般に絶換ゲート電界効果トランジスタ(MI S型トランジスタ)を飽和領域で助作させると、 ドレイン領域近傍の空芝属内に多数のホットキャリアが発生し、このキャリア(エレクトロン)が例えばSiOtからなるゲート絶核膜中に注入されしきい値電圧Vthをシフト(変動)させMIS型トランジスタの特性劣化を生じることが知られている。これは、ゲート絶縁膜中に存在している水溶Hが、ゲート絶縁膜中に注入されたキャリアにより活性化され、活性化されたHかSi~Oの結合を切ることによりタングリングボンドを形成し、しきい値電圧Vthに影響を与えるものと考えられている。

ところで前記したホットキャリアはドレイン接合部の電界強度に応じて多くなることが知られており、したがってホットキャリアを低級するためにはこの電界強度を弱くすればよいことが判る。しかしながら、近年のMIS型トランジスタは回路の高速化・高密度化に伴ない、ゲート酸化艇の薄膜化・ゲート長の微細化・チャネルドーブの高濃度化・拡散層深さの微小化といったいわゆるスケールダウンがなされてきており、このためドレ

- 特閉昭59-117164(2)

イン接合都での低昇強度は、増々増大しつつある。 このため、従来では、第1 図に示すように、半 源体共板1 上にゲート2・ゲート絶縁膜3・ソー スおよびドレイン領域4・5を形成するとともに、 ドレイン領域5 の接合部位とゲート2 との間に間 隙(オフセット部)6を形成し、かつこのオフセット位代には低不純物濃度のドレイン領域7を形成したトランジスタを構成したものが提案されて いる。これはドレイン接合部における濃度差を製 質的に小さくし、これにより電界強度の低速を関 るようにしたものである。

しかしながら、この構造ではオフセット性だけ 素子寸法が大きくなる一方、ソース・ドレイン領域とゲート等の位置合せが厳しくなって製造が関 健になる等の問題がある。

したがって、本発明の目的は繋子寸法の低終およびセルフアラインによる製造の容易化を図り、かつ一方では電外強度を低鉄してホットキャリアの発生を防止し、これにより特性劣化を防止することができる半準体装置を提供することにある。

次いで、このホトレジスト20Aをマスクとして多結晶シリコンパ13Aのエッチングを行なう。 このエッチングの瞬例えば、CC&のようなホトレジストと多結品のエッチング比が小さいガスを 川いたブラズマエッチを行ない。かつその後ホトレジスト20Aを除去すれば、问図(Cのようにゲ この目的を強成するために本発明はゲートの両側線をテーパ状所面構造とし、かつ少なくともドレイン接合部の不納物濃度を傾斜状態とするようにしたものである。

以下、本発明を図示の契施例により説明する。 第2図は本発明をMOS型態昇効果トランジス タに適用した実施例であり、P型の半導体共板10 の装面に形成したフィールドSiOz 絶楑膜11に て囲まれる紫子形成領域にはゲートSiO. 絶縁膜 12を形成し、その上に多結晶シリコンからなる ゲート13を形成している。このゲート13は両 **側様13a,13bをテーパ状の断面構造とし、** その厚さが顚倒様に向かって傾斜的に低減される ようになっている。また、このゲート13の両例 にはセルフアライン法を用いてイオン打込みによ り接合部14a.15aの不純物的度を傾倒状態 としたN型のソース領域14 . ドレイン領域15 を彬成し、アルミニウム粉16,17により所定 の電気接続を行なっている。図中、18はSiO, 等の層間絶録層、19はPSG等の絶録層である。

ート13が形成される。このゲート13は前記ホトレジスト20人の両側録がテーパ状断面であることからゲート両側録におけるエッチング速度も傾斜状に異なり、これによりエッチングされたゲート13はその両側録13a.13bがホトレジストの場合と同様にテーパ状断面的強とされ、両側に向かり程厚さが低減された形状となる。

しかる上で、このゲート13を利用してセルファライン法により例えば砒素(As)、燐(P) 等の不純物をイオン打込みして阿宮町のようにソース領域14・ドレイン領域15を形成する。すると、形成された両領域14・15は、特にゲート13との対向部位において打込まれたイオン設度がゲート13の即さの変化に対応して変化したが、ゲートのテーバ状に合わせてイオン設度が放けない。内側(ゲート側)に同かって 緑外状態に変化し、内側(ゲート側)に同かって 徐々にイオン設度が低かされる状態とされる。即 ち、ソース領域およびドレイン領域の振合部14m、 15aを傾斜(グレード)接合として构成しているのである。

BEST AVAILABLE COPY

特別昭58-117164(3)

以下、ゲート13の酸化によりSiQ の絶縁層 18を形成し、ソース・ドレインのコンタクト用 のアルミニウム層16、17を形成した上で、パッシベーションとしてのPSG層19を形成する ことにより第2回に示したトランジスタを構成で きる。

以上の協成によれば、ソース領域14およびドレイン領域15は夫々の接合都14a.15aにおいて、ゲート13に向かう不納物設度が徐々に低越されて傾斜接合となることにより、特にドレイン接合部においては緩やかなプロファイルとなりドレイン惟界強度の低減を達成できる。これにより、ドレイン領域近傍でのホットキャリアの低減を図ってしまり、ドレイン領域でのホットキャリアの低減を図っての発生は抑制され、ホットキャリアの低減を図ってしまりに傾似圧といれてきる。また、このように構成しても、オフセット構造のようなゲート、ドレイン間の間懸が不要であるから繋音の終為化を流成って高急積化に有効であるから繋音の終為化を流成

することもできる。

ここで、ゲート両側線のテーバ角を適宜変化すれば、ドレイン領域のプロファイルを変化でき、 電界強度の微量関整を可能にする。なお、多結晶 シリコンをテーバ形状する方法として、前述のホ トレジスト形状を変えること以外に、例えば、ブ ラズマエッチングの際にCF, ガスにO, ガスを 適量加えても形成することが可能である。

以上のように本発明の半導体装件によれば、ゲートの両側器をテーパ状断面構造とし、少なくともドレイン接合部の不純物濃度を傾倒状態とした構成としているので、ドレイン領域の接合部における不純物設度プロファイルを穏やかなものとして傾倒接合状態に構成でき、これにより電界強度を低減してホットキャリアの発生を抑制し、しきい値低圧のシフト等の特性劣化の防止を図る一方で、素子寸法を低減して高級硫化を遊成しかつセルファライン法による製造の容易化を毀現する等の効果を奏する。

図面の簡単な説明

利1間は従来装置の断面図、

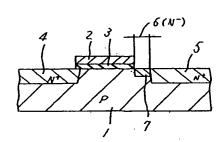
館2回は本発明終間の所面図。

第3 図W~印は銀造工程の断面図である。

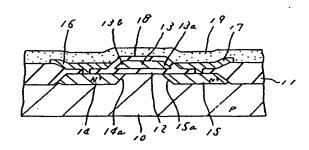
11…半導体共板、12…グート絶繰艘、13 …グート汽橋、13a,13b…グート機械の調 機械、14…ソース領域、15…ドレイン領域、 14a,15a…扱合部、20…ホトレジスト、 21…ホトマスク。

代域人 护理士 豫 田 利 拳

第 1 図



第 2 図



特開昭59-117164 (4)

